

②公開特許公報(A) 昭61-72350

③Int.Cl.
G 06 F 13/38識別記号 執内整理番号
7165-5B

④公開 昭和61年(1986)4月14日

審査請求 未請求 発明の数 1 (全7頁)

⑤発明の名称 データ転送制御方式

⑥特 願 昭59-193123
⑦出 願 昭59(1984)9月14日

⑧発明者 橋本繁 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑨発明者 西村尚幸 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑩出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑪代理人 弁理士 山谷皓栄

明細書

1. 発明の名称 データ転送制御方式

2. 特許請求の範囲

バス支配権獲得後アドレスバスに読出しアドレスを送出するとともにブロック転送かワード転送かを指示するモード信号を制御線に送出するデータ要求ユニットと、該モード信号に応じて該読出しアドレスに応じてメモリ電子をアクセスし対応するデータをデータバス上に出力するメモリとを有し、該モード信号がブロック転送を指示した際に該メモリは該読出しアドレスを該ブロックの開始アドレスとして該読出しアドレスに応じて複数の読出しアドレスを発生し、該メモリ電子から対応する複数のデータを出力することを特徴とするデータ転送制御方式。

3. 発明の詳細な説明
(実質上の利用分野)

本発明は、共通バスを利用してDMA転送等のデータ転送を行うためのデータ転送制御方式に関し、特に高速なブロックデータ転送の可能なデータ転送制御方式に関するもの。

コンピュータシステムにおいては、共通バスにプロセッサ、メモリ及びチャネル等が接続され、これらの間で共通バスを利用してアドレス、データのやりとりが行なわれる。例えば、チャネルがメモリに対しDMA(グリセクトメモリアクセス)を行なう場合には、共通バスの支配権を獲得した後、共通バスを介しメモリにアドレスを与えて、メモリからの読出しデータを共通バスを介して受けるようにしており、このため共通バスに対するデータ転送制御が必要となる。

(従来の技術)

第3図は従来の共通バスを利用したデータ転送制御方式の構成図であり、データバスD-BUS、アドレスバスA-BUS及び制御線C-BUSにプロセッサ1、メモリ2及びチャネル3a、3bが接続されている。メモリ2には、各チャネル3

3 bからの要求に応じバス支配権獲得制御を行なうバス支配権獲得制御部(以下バス制御部と称す)21と、メモリ制御部22と、メモリチップ20と、アドレスレジーバ23と、データトランシーバ24とが設けられており、制御線C-BUSから与えられる制御信号に従ってメモリ制御部22がアドレスバスA-BUSからアドレスレジーバ23から受けたアドレスをメモリチップ20へ与え、1ワードのデータを読み出し、データトランシーバ24を介してデータバスD-BUSに送出する。一方、各チャネル3a、3bは、各々DMAコントローラ30a、30bと、入出力コントローラ31a、31bとを有し、DMAコントローラ30a、30bからバス支配権要求DMARQ1、2をバス制御部21に送出してバス支配権を得た後、アドレスバスA-BUSにアドレスを送出し、入出力コントローラ31a、31bがデータバスD-BUSよりメモリ2からのデータを受け取る。

このように、バス支配権を獲得し、アドレスを

送出し、データを受けるというデータ転送シーケンスを行なうことによって1ワードのデータ転送が行なわれるが、複数ワードのデータ転送を行なうには、このシーケンスを複数回繰り返す必要があり、高速なデータ転送が実現できない。

このため、第4図に示すバーストデータ転送方式が用いられている。バーストデータ転送は、複数ワードのデータを転送するため、一度バス支配権を得るとバス占有信号busyを出力し、複数ワードの伝送の間共有バスを占有し、データ転送シーケンスを繰り返すものである。即ち、チャネル3a(又は3b)が、内部回路の要求によってDMAコントローラ30a(又は30b)からバス支配権要求DMARQ1(又は2)をバス制御部21に発すると、バス制御部21は制御線C-BUSのビジー線の状態を見てバスが他の装置に支配されていることを検出し、バス支配許可DMAACK1(又は2)をチャネル3a(又は3b)に返送する。これによって、バス支配許可を受けたチャネル3a(又は3b)は、制御線C-

BUSのビジー線にbusy信号を発して、バス占有を他の装置に伝えるとともに、メモリチップ20のアドレスをアドレスバスA-BUSに送出し、更に制御線C-BUSを介しメモリ制御部22にアドレス送出を示すデータサービスイン信号(ストローブ信号)DSVIを与える。メモリ制御部22はデータサービスイン信号DSVIによってメモリチップ20に行及び列ストローブ信号CAS、RASを与え、アドレスバスA-BUSからのアドレスをレジーバ23を介しメモリチップ20に受けさせ、アクセスする。メモリ制御部22は、メモリチップ20からの読み出し同期して、読み出しデータの送出を示すサービスアウト信号(応答信号)SRVOを制御線C-BUSを介しチャネル3a(又は3b)のDMAコントローラ30a(又は30b)に与える。メモリチップ20からの読み出しデータはトランシーバ24を介しデータバスD-BUSに与えられ、入出力コントローラ31a(又は31b)はデータバスD-BUSより、このデータを受ける。サービスアウト信号SRVO

が終了すると、DMAコントローラ30a(又は30b)はバス支配権要求を発することなく、次のアドレスをアドレスバスA-BUSに送出し、同様にデータサービスイン信号DSVIを発して同様のシーケンスを繰返す。このような、バーストデータ転送では途中のバス支配権制御を省くことができるので高速データ転送制御が実現できる。
(発明が解決しようとする問題点)

しかしながら、従来の高速データ転送制御においては、アドレス送出ストローブであるデータサービスイン信号DSVIの直後にアドレスバスA-BUSの保証時間T_a、T_bを要する。即ち、アドレスバスA-BUSのスキュー等を考慮し、アドレス送出後、アドレスバスA-BUS上でアドレスが確定してからデータサービスイン信号DSVIを立ちらせ、同様にデータサービスイン信号DSVIの立下り後アドレスの送出をホールド時間T_b経過後カットする必要がある。そして従来の方式では、1ワード転送毎にアドレスを送出していることから、この保証時間T_a、T_bが各

アクセス毎に必要となり高速のデータ伝送の阻害となるという問題があった。

(問題点を解決するための手段)

本発明は、複数ワードのブロック伝送を行なうとともにワード伝送及びブロック伝送の両方を可能とするデータ伝送制御方式を提供するにある。

このため、本発明は、バス支配権獲得後アドレススペースに抜出しアドレスを送出するとともにブロック伝送かワード伝送かを指示するモード信号を制御部に送出するデータ要求ユニットと、はモード信号に応じて抜出しアドレスに応じてメモリ要素をアクセスし対応するデータモデータバス上に出力するメモリとを有し、はモード信号がブロック伝送を指示した際にはメモリは抜出しアドレスを複数のブロックの開始アドレスとして抜出しアドレスに応じて複数の抜出しアドレスを発生し、はメモリ要素から対応する複数のデータを出力することを特徴としている。

(作用)

本発明では、ブロックデータ伝送上のバスシケンスを短縮するため、複数ワードのブロック伝送を行なうには、データ要求側からは該ブロックの開始アドレスを送り、個々のワードのアドレスを送ることを省き、メモリ側で開始アドレスより該ブロックに必要な複数の抜出しアドレスを発生して対応する複数のワードデータを出力するようにし、更にブロック伝送でもワード伝送と同様1つのアドレスしか送出されないから、メモリにブロック伝送を認識させるためモード信号をデータ要求側より出力して1つのアドレスの送出でブロック伝送とワード伝送の実行を可能としている。(実施例)

以下、本発明を実施例により詳細に説明する。

第1図は本発明の一実施例ブロック図であり、図中、第3図で示したものと同一のものは同一の記号で示してあり、図中、22は回答(メモリアクセス)カウンタであり、メモリ制御部22内に設けられ、1ストローブに対する回答信号(メモリアクセス)の発生回数を計数するもの、22

はメモリアクセス制御部であり、接続するDMAモード信号DMA MODEに応じてメモリアクセスの回数を制御するとともに応答信号を発生するもの、25はアドレスカウンタであり、ブロック伝送要求時メモリ要素20の下位アドレスを発生するもの、32はアドレスカウンタであり、DMAコントローラ30内に設けられ、伝送要求するメモリアドレスを発生するもの、C1は応答信号線でありメモリ2からの応答信号をチャネル3へ伝えるもの、C2はストローブ線であり、チャネル3からのストローブをメモリ2へ伝えるもの、C3は同期クロック線であり、メモリ2から同期クロックCLKをチャネル3へ伝えるもの、C4はメインクロック線であり、DMA(バス占有)要求DMARQ及びDMA(バス占有)許可DMAACKのための制御クロックMCLKをメモリ2からチャネル3へ伝えるもの、CSはビジー線であり、バス占有中を示すビジー信号CSがメモリ2より送られるもの、D1はバス占有要求線であり、チャネル3からメモリ2へDMA要求

DMARQを伝えるもの、D2はバス占有許可線であり、メモリ2からチャネル3へDMA許可DMAACKを伝えるもの、D3はDMAモード線であり、チャネル3からメモリ2へDMAモード、即ちワード伝送かバイト伝送かを指定するものである。

次に、第1図実施例構成の動作について第2図の要部タイムチャート図を用いて説明する。尚、第2図(A)はブロック伝送時のタイムチャート、第2図(B)はワード伝送時のタイムチャートである。

① 先づ、チャネル3の内部回路がDMA伝送を要求すると、DMAコントローラ30はバス占有要求線D1を介しメモリ2のバス制御部21はDMA要求DMARQを送る。

バス制御部21は、ビジー線CSの状態を見てバスが占有されていないと、DMA許可DMAACKをバス占有許可線D2を介しDMAコントローラ30に送る。これによってチャネル3はバス支配権を獲得する。尚、これらDMA要求DMA

RQ、DMA許可DMAACKは、バス制御部2の制御クロックMCLKに同期して行なわれる。

④ DMAコントローラ30はDMA許可DMAACKを受けると、ビジー旗C5上のビジー信号bus3yをサンとし、バス占有を宣言し、更にワード転送かブロック転送かを見て、ブロック転送であれば、DMAモード信号DMA MODEをロー(“0”)としてモード旗M4によってメモリ制御部22へ与える。これとともに、DMAコントローラ30は、当該ブロックの先頭(開始)アドレスをアドレスカウンタ32よりアドレスバスA-BUSに送出する。この実施例では、ブロック転送はワードの固定長であるから、アドレスカウンタ32の下位2ビットを除いた上位ビット(例えば16ビットアクセスなら上位14ビット)をアドレスバスA-BUSに送出する。

⑤ 更にDMAコントローラ30はバススキュー及びアドレスデコード時間を保証し、次のクロックCCLKの立下りでストローブ信号DSV1を制御旗C2に出力する。

⑥ を発生せしめ、応答信号旗C1に出力する。

⑦ 一方、チャネル3ではDMAコントローラ30が応答信号SRVOを応答信号旗C1より受け、入出力コントローラ31にデータバスD-BUS上のデータ読み込みを指示し、入出力コントローラ31はデータバスD-BUSよりメモリ電子20からのデータを読み込む。

⑧ メモリ2では、メモリアクセス制御部22bが前述の応答信号SRVO①の出力後、1ストローブに対する応答信号の出力回数を計数するカウント22aをカウントアップし、更にアドレスカウンタ25をカウントアップする。

そして、メモリアクセス制御部22bは再びメモリ電子20に行き及ストローブCAS、RASを与える。これによってメモリ電子20にはアドレスバスA-BUSからの上位14ビットとカウントアップされたアドレスカウンタ25の下位2ビットがメモリアドレスとして、与えられ次のワードがアクセスされる。

⑨ これによってメモリ電子20から次のワー

ドメモリ2では、メモリ制御部22のメモリアクセス制御部22bがこのストローブ信号DSV1を制御旗C2より受け、メモリ電子20に行き及ストローブCAS、RASを与える。更に、メモリアクセス制御部22bはDMAモード信号DMA MODEによってブロック転送要求を感知し、レシーバ23の下位ビットをアドレスカウンタ25側に切换える。これによってメモリ電子20はレシーバ23を介しアドレスバスA-BUS上の開始アドレスを受けるとともにアドレスカウンタ25からの下位2ビットのアドレスをレシーバ23を介し受けアクセスを行なう。即ち、レシーバ23はアドレスバスA-BUSよりの上位14ビットとカウンタ25からの下位2ビットを合成してメモリ電子20に与える。

⑩ これによってメモリ電子20から対応するデータ(ワード)がトランジーバ24よりデータバスD-BUSに出力される。これとともにメモリ制御部22では、クロックCCLKの立下りでメモリアクセス制御部22bより応答信号SRVO

ドがトランジーバ24よりデータバスD-BUSに出力されるとともにメモリアクセス制御部22bより応答信号SRVO②を発生せしめ、応答信号旗C1に出力する。チャネル3ではステップ⑨と同様にしてデータを読み込む。

⑪ メモリ2側ではステップ⑨と同様にカウンタ22a、アドレスカウンタ25をカウントアップし、メモリ電子20の次のワードをアクセスする。このようにして、応答カウンタ22aのカウント値が“4”となり、データを4回出力、即ち、応答信号が4回発せられると、メモリアクセス制御部22bはメモリ電子20のアクセスを止める。

⑫ 一方、チャネル3側では、DMAコントローラ30が応答信号を4回受けると、DMAモード信号でDMA MODEをハイに戻し、ストローブDSV1をハイに戻す、更にビジー旗C5上のビジー信号bus3yをローとしてバス占有を開放する。

⑬ 一方、ステップ⑨において、ワード転送の場合には、DMAコントローラ30はDMAモ-

F信号DMA MODEをハイのままにし、これによってメモリアクセス制御部226はワード転送指示を感知し、両カウンタ228、229の動作を禁止する。このため、DMAコントローラ30からのストローブDSV1に対し、1つの応答信号SRVOを返すようにし、又DMAコントローラ30からはアドレスカウンタ32のフルビット16ビットがメモリアドレスとしてアドレスバスA-BUSに与えられ、メモリ2のレシーバ23は、メモリアクセス制御部226の指示でアドレスカウンタ25の出力が入力されるのを禁止されてアドレスバスA-BUSの16ビットアドレスをメモリ番号20に与える。メモリ番号20はこのアドレスに応じて対応するワードをトランシーバ24よりデータバスPRO-BUSへ出力し、チャネル3では、DMAコントローラ30が応答信号を受けて入出力コントローラ31にデータ取込みを指示し、ビジー線C5のビジー信号BUSYを落としてバス占有を解放する。

このようにして、ブロック転送要求に対しては、

データ要求側であるチャネルからブロックの開始アドレスを送出し、メモリはアドレスカウンタ225を用いて複数（この例では4）の読み出しアドレスを発生して、複数のデータを出力するとともに、データ要求側よりモード信号を出力し、ブロック転送かワード転送かを指示している。

前述の実施例では、ブロック転送指示時チャネル3の1つのストローブに対しメモリ2から複数の応答信号を返すようにしているが、ストローブをワード分チャネル3より応答信号に応じて出力するようにしてもよい。

また前述の実施例では、クロックCLKによる同期制御の例で説明したが、クロックCLKを用いない非同期制御であってもよく、更に、応答信号線C1、ストローブ線C2はバス形式で使用したが、バス形式でなく個別のものであってもよい。しかもバス支配権獲得制御部21がメモリ2内に設けられた例で説明したが、これに限らず、例えば、プロセッサ1に設けてもよく、データ要求ユニットもチャネルに限られない。

以上本発明を一実施例により説明したが、本発明は本発明の主旨に従い種々の変形が可能であり、本発明からこれらを併用するものではない。

(発明の効果)

以上説明した様に、本発明によれば、バス支配権獲得後アドレスバスに読み出しアドレスを送出すとともにブロック転送かワード転送かを指示するモード信号を制御線に送出するデータ要求ユニットと、該モード信号に応じて該読み出しアドレスに応じてメモリ番号をアクセスし対応するデータをデータバス上に出力するメモリとを有し、該モード信号がブロック転送を指示した際にはメモリは該読み出しアドレスを該ブロックの開始アドレスとして該読み出しアドレスに応じて複数の読み出しアドレスを発生し、該メモリ番号から対応する複数のデータを出力することを特徴としているので、ブロック転送要求時1つの開始アドレスを送出すればよいかから、アドレス確定に要する保証時間は1回で済み、それだけ高速のブロックデータ転送が可能となるという効果を有する他に、1つの開

始アドレスでメモリ側が複数の読み出しアドレスを発生するので、複数ワードの読み出しが可能となり、ブロック転送を可能とするという効果も有する。更にモード信号によってブロック転送、ワード転送を指示しているから、メモリ側はこれに応じてブロック転送処理、ワード転送処理のいずれかを1つの送出アドレスに応じて実行できるため送出アドレスが1つでもブロック転送、ワード転送のいずれかを選択的に実行できるという効果も有する。

4. 図面の簡単な説明

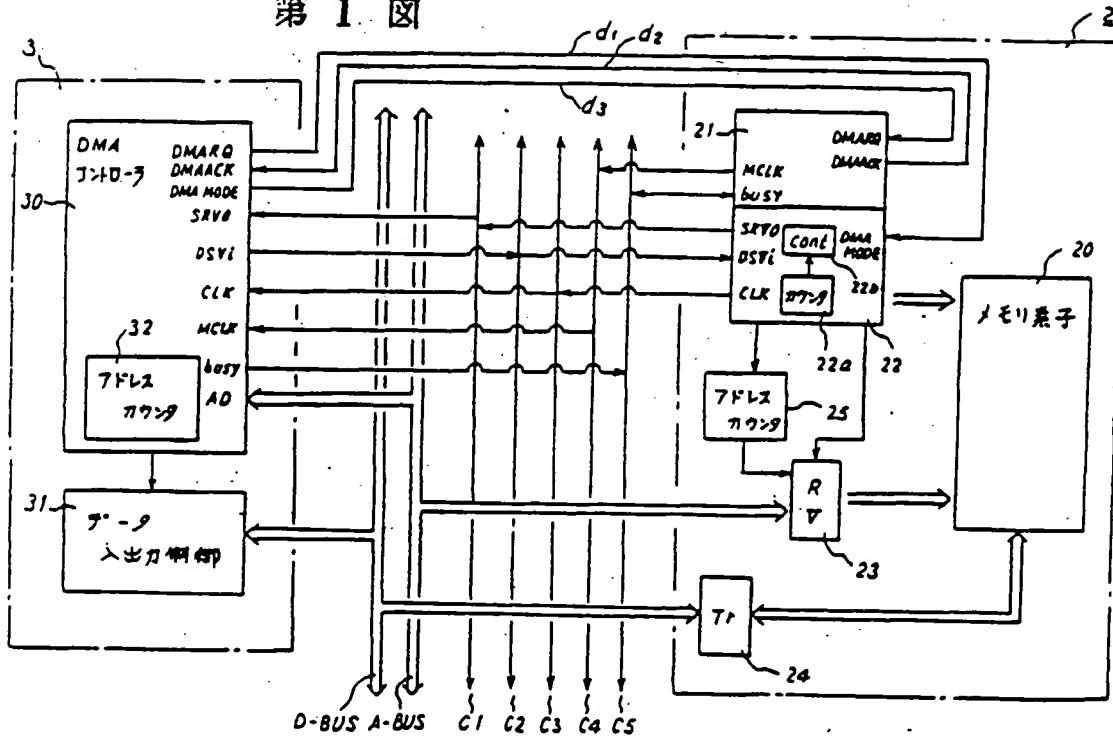
第1図は本発明の一実施例ブロック図、第2図は第1図実施例におけるタイムチャート図、第3図は従来のデータ転送制御構成図、第4図は従来のデータ転送制御タイムチャート図である。

図中、2---メモリ、3、3a、3b---チャネル（データ要求ユニット）、20---メモリ番号、21---バス支配権獲得制御部、22---メモリ制御部、32---アドレスカウンタ、D-BUS---データバ

ス、A-BUS—アドレスバス。

特許出願人　富士通株式会社
代理人　弁理士　山谷　周葉

第1図



(19) Japan Patent Office (JP)

(12) Kokai Tokkyo Koho (A): Official Gazette for Kokai Patent Applications

(11) Japanese Patent Application Kokai Publication No.: S61-72350

(43) Kokai Publication Date: April 14, 1986

(51) Int. Cl.⁴ Identification Symbol JPO File No.
G 06 F 13/38 7165-SB

Examination request: Not requested

Number of inventions: 1 (7 pages)

(54) Title of the invention:

Data transfer control system

(21) Application Filing No.: S59-193123

(22) Application Filing Date: September 14, 1984

(72) Inventor: Hashimoto, Shigeru
c/o Fujitsu, Ltd.

1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi

(72) Inventor: Nishimura, Naoyuki
c/o Fujitsu, Ltd.

1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi

(71) Applicant: Fujitsu, Ltd.

1015 Kamikodanaka, Nakahara-ku, Kawasaki-shi

(74) Agent: Yamatani, Hiroyoshi, Patent Attorney

Specification

1. Title of the invention:

Data transfer control system

2. Claim

A data transfer control system comprising:

a data request unit for sending a read address to the address bus after acquiring bus control, while sending a mode signal, indicating block transfer or word transfer, to the control line; and

memory for accessing a memory element corresponding to the read address according to the mode signal and outputting the corresponding data to a data bus; wherein, when the mode signal indicates block transfer, the memory generates a plurality of read addresses according to the read address, with the read address as the start address of the block, and outputs a corresponding plurality of data from the memory element.

3. Detailed discription of the Invention

Area of industrial use

The present invention relates to a data transfer control system for using a common bus for effecting data transfer such as DMA transfer, and more particularly to a data transfer control system with which high speed block data transfer is possible.

In computer systems, the processor, memory, channels, and so forth are connected by a common bus; addresses and data are exchanged therebetween using the common bus. For example, when the channel effects DMA (direct memory access) to memory, [the channel] acquires control of the common bus, then provides addresses to memory via the common bus and receives data read from memory via the common bus. For this reason, data transfer control for the common bus becomes necessary.

Prior art

Figure 3 shows the constitution of a conventional data transfer control system using a common bus. The processor 1, memory 2, and channels 3a, 3b are connected by the data bus D-BUS, address bus A-BUS, and control line C-BUS. A bus control acquisition control portion (abbreviated below as "bus control portion") 21 for performing control of bus control acquisition according to requests from the channels 3a, 3b, memory control portion 22, memory element 20, address receiver 23, and data transceiver 24 are established in memory 2. According to the control signal from the control line C-BUS, the memory control portion 22 provides the address received from the address receiver 23 [on] the address bus A-BUS to the memory element 20, reads one word of data, and sends [that word] to the data bus D-BUS via the data transceiver 24. Meanwhile, each channel 3a, 3b comprises DMA controllers 30a, 30b, and input/output controllers 31a, 31b respectively. [Each channel] sends the bus control request DMARQ1, 2 from the DMA

controllers 30a, 30b to the bus control portion 21 and acquires bus control, then sends the address to the address bus A-BUS. The input/output controllers 31a, 31b receive data from the memory 2 via the data bus D-BUS.

In this way, data transfer of one word is effected through a data transfer sequence of acquiring bus control, sending addresses, and receiving data. However, this sequence must be repeated a plurality of times for the transfer of several words of data, and high speed data transfer cannot be realized.

For this reason, the burst data transfer system shown in Figure 4 is used. Burst data transfer is for transferring a plurality of words of data; a bus in use signal busy is output upon acquisition of bus control, the common bus is in use during the transfer of a plurality of words, and the data transfer sequence repeated. In other words, according to a request from internal circuitry, the channel 3a (or 3b) generates a bus control request DMARQ1 (or 2) from the DMA controller 30a (or 30b) for the bus control portion 21. At that point, the bus control portion 21 checks the state of the busy line of the control line C-BUS, detects whether the bus is controlled by another device, and returns bus control authorization DMAACK1 (or 2) to the channel 3a (or 3b). Accordingly, the channel 3a (or 3b) that received bus control authorization generates a busy signal for the busy line of the control line C-BUS and informs other devices that the bus is in use. [Meanwhile, the channel] sends the address of the memory element 20 to the address bus A-BUS, then provides a data service-in signal (strobe signal) DSVi indicating address sending via the control bus C-BUS to the memory control portion 22. According to the data service-in signal DSVi, the memory control portion 22 provides the column and row strobe signals CAS, RAS to the memory element 20. [The memory control portion] sends and accesses the address from the address bus A-BUS to the memory element 20 via the receiver 23. The memory control portion 22 synchronizes with the reading from the memory element 20 and provides the service-out signal (response signal) SRVO showing sending of read data via the control line C-BUS to the DMA controller 30a (or 30b) of the channel 3a (or 3b). The read data from the memory element 20 are provided to the data bus D-BUS via the transceiver 24. The input/output controller 31a (or 31b) receives these data from the data bus D-BUS. When the service-out signal SRVO ends, the DMA controller 30a (or 30b) sends the next address to the address bus A-BUS without generating a bus control request, generates a data service-in signal DSVi in the same way, and repeats the same sequence. High speed data transfer control can be realized with this type of burst data transfer because the control of bus control can be omitted during the process.

Problems to be solved by the invention

In conventional high speed data transfer control, however, address bus A-BUS guarantee times Ta and Tb are necessary before and after the data service-in signal DSVi that is the address send strobe. In other words, in consideration of skew or the like of the address bus A-BUS, the data service-in signal DSVi is raised once the address is defined on the address bus A-BUS after address sending; likewise, after the drop of the data service-in signal DSVi, address sending must be cut off after the passage of the hold time Tb. In a conventional system, then, this guarantee time Ta, Tb becomes necessary for

each access because the address is sent at each word transfer; this obstacle to high speed data transfer is problematic.

Means for resolving the problems

The present invention provides a data transfer control system for effecting high speed block transfer of a plurality of words, while making possible both word transfer and block transfer.

For this reason, the present invention is a data transfer control system comprising: a data request unit for sending a read address to the address bus after acquiring bus control, while sending a mode signal, indicating block transfer or word transfer, to the control line; and memory for accessing a memory element corresponding to the read address according to the mode signal and outputting the corresponding data to a data bus; wherein, when the mode signal indicates block transfer, the memory generates a plurality of read addresses according to the read address, with the read address as the start address of the block, and outputs a corresponding plurality of data from the memory element.

Operation

In the present invention, to shorten the bus sequence in block data transfer, the start address of the block is sent from the data request side and the sending of addresses of individual words is omitted when performing block transfer of a plurality of words. The plurality of read addresses necessary for the block is generated according to the start address on the memory side and the corresponding plurality of word data is output. Then, because only one address is sent in block transfer, as in word transfer, a mode signal is output by the data request side to confirm block transfer in memory. [This] makes it possible to execute block transfer and word transfer with the sending of one address.

Embodiments

The present invention is explained in detail with the embodiments.

Figure 1 is a block diagram of a first embodiment of the present invention. In the figure, the same numbers are used for items identical to those shown in Figure 3. In the figure, 22a shows the response (memory access) counter; this is established in the memory control portion 22 and counts the number of response signals (memory access) for one strobe. 22b is the memory access control portion; this controls the frequency of memory access according to the DMA mode signal DMAMODE discussed below, while generating response signals. 25 is an address counter and generates the least address of the memory element 20 at the time of block transfer request. 32 is an address counter; this is established in the DMA controller 30 and generates the memory address for the transfer request. C1 is a response signal line and carries the response signal from the memory 2 to channel 3. C2 is a strobe line and carries the strobe from channel 3 to memory 2. C3 is a synchronizing clock line and carries the synchronizing clock CLK from memory 2 to the channel 3. C4 is a main clock line and carries the control clock MCLK, for DMA (bus occupancy) request DMARQ and DMA (bus occupancy) authorization DMAACK, from memory 2 to channel 3. C5 is a busy line; the busy signal busy showing that the bus is in use is sent by the memory 2. d₁ is a bus in use request line and carries DMA request

DMARQ from channel 3 to memory 2. d_2 is a bus in use authorization line and carries the DMA authorization DMAACK from memory 2 to channel 3. d_3 is a DMA mode line and [carries] the DMA mode, for indicating word transfer or byte transfer, from channel 3 to memory 2.

Next, the operation of the embodiment shown in Figure 1 is explained using the timing chart in Figure 2. Figure 2 (A) is a timing chart during block transfer; Figure 2 (B) is a timing chart during word transfer.

(1) When the internal circuitry of the channel 3 requests DMA transfer, the DMA controller 30 sends a DMA request DMARQ via the bus in use request line d_1 [to] the bus control portion 21 of the memory 2.

When the bus control portion 21 checks the state of the busy line C5 and the bus is not occupied, [the bus control portion] sends the DMA authorization DMAACK via the bus in use authorization line d_2 to the DMA controller 30. Accordingly the channel 3 acquires bus control. Moreover, the DMA request DMARQ and DMA authorization DMAACK are synchronized with the control clock MCLK of the bus control portion 21.

(2) When the DMA controller 30 receives the DMA authorization DMAACK, [the DMA controller] turns on the busy signal busy on the busy line C5 and declares that the bus is in use. [The DMA controller] then checks for word transfer or block transfer. In the case of block transfer, [the DMA controller] sets the DMA mode signal DMAMODE to low (0) and sends [the DMA mode signal] to the memory control portion 22 by the mode line d_3 . Meanwhile, the DMA controller 30 sends the leading (start) address of the pertinent block to the address bus A-BUS by the address counter 32. In this embodiment, block transfer has a four word fixed length; the greater bits (greatest 14 bits in the case of 16 bit access), excluding the least two bits of the address counter 32, are therefore sent to the address bus A-BUS.

(3) Furthermore, the DMA controller 30 guarantees the bus skew and address decoding time and outputs the strobe signal DSVi to the control line C2 at the trailing edge of the next clock CLK.

(4) In memory 2, the memory access control portion 22b of the memory control portion 22 receives this strobe signal DSVi from the control line C2 and provides the column and row strobes CAS, RAS to the memory element 20. Furthermore, the memory access control portion 22b detects the block transfer request from the DMA mode signal DMAMODE and switches the least bit of the receiver 23 to the address counter 25 side. The memory element 20 thereby receives the start address on the address bus A-BUS via the receiver 23, while receiving the least two bits of the address from the address counter 25 via the receiver 23 and effecting access. The receiver 23 composes the greatest 14 bits from the address bus A-BUS and the least two bits from the counter 25 and provides [this] to the memory element 20.

(5) Accordingly, the corresponding data (word) is output from the memory element 20 by the transceiver 24 to the data bus D-BUS. Meanwhile, in the memory control portion 22, the response signal SRVO (1) is generated by the memory access

control portion 22b at the trailing edge of the clock CLK and output to the response signal line C1.

(6) Meanwhile, on channel 3, the DMA controller 30 receives the response signal SRVO from the response signal line C1 and indicates data uptake on the data bus D-BUS to the input/output controller 31. The input/output controller 31 takes up data from the memory element 20 via the data bus D-BUS.

(7) In memory 2, the memory access control portion 22b outputs the abovementioned response signal SRVO (1), then increments the counter 22a for counting the number of response signals output for one strobe and increments the address counter 25.

Then the memory access control portion 22b again provides the column and row strobes CAS, RAS to the memory element 20. The greatest 14 bits from the address bus A-BUS and the least two bits of the incremented address counter 25 are thereby provided to the memory element 20 as the memory address and the next word is accessed.

(8) Accordingly, the next word is output from the memory element 20 to the data bus D-BUS by the transceiver 24, while the response signal SRVO (2) is generated by the memory access control portion 22b and output to the response signal line C1. In Channel 3, data are taken up as in step (6).

(9) On the memory 2 side, the counter 22a and address counter 25 are incremented as in step (7) and the next word in memory element 20 is accessed. In this way, the count value of the response counter 22a becomes 4; when data are output four times, or when four response signals are generated, the memory access control portion 22b stops access of the memory element 20.

(10) Meanwhile, on the channel 3 side, when the DMA controller 30 receives the response signal four times, the DMA mode signal DMAMODE returns to high, the strobe DSV_i returns to high, and the busy signal busy on busy line C5 drops and cancels bus usage.

(11) Meanwhile, in the case of word transfer in step (2), the DMA controller 30 lets the DMA mode signal DMAMODE remain high. The memory access control portion 22b thereby detects the word transfer instruction and blocks the operation of the counters 22a, 25. For this reason, one response signal SRVO is returned [in response] to the strobe DSV_i from the DMA controller 30; or, the full 16 bits of the address counter 32 are provided as the memory address to the address bus A-BUS from the DMA controller 30. The receiver 23 of the memory 2 prevents the input of output from the address counter 25 as indicated by the memory access control portion 22b and provides the 16 bit address on the address bus A-BUS to the memory element 20. The memory element 20 outputs the corresponding word according to this address to the data bus D-BUS by the transceiver 24; on channel 3, the DMA controller 30 receives the response signal, indicates data uptake to the input/output controller 31, drops the busy signal busy on busy line C5, and cancels bus usage.

In this way, for a block transfer request, the start address of the block is sent from the channel that is the data request side; the memory uses the address counter 25 to generate a plurality (4 in this case) of read addresses and outputs a plurality of data; meanwhile, a mode signal is output from the data request side and indicates block or word transfer.

In the embodiment discussed above, a plurality of response signals are returned from the memory 2 for one strobe of the channel 3 during block transfer indication; however, the strobe for a word may also be output in response to the response signal from the channel 3.

Also, in the embodiment discussed above, an example of control synchronized with the clock CLK was explained, but unsynchronized control without using the clock CLK is also possible. Furthermore, the response signal line C1 and strobe line C2 are explained as being the bus type, but these may also be separated, and not the bus type. Moreover, an example wherein the bus control acquisition control portion 21 is established in memory 2 is explained, but [the present invention] is not limited by this and [the bus control acquisition control portion] may also be established in the processor 1. The data request unit is also not limited to being a channel.

The present invention is explained above with an embodiment, but the present invention may take many forms while retaining the substance of the present invention; these are not excluded from the present invention.

Effect of the invention

As explained above, the present invention is a data transfer control system comprising: a data request unit for sending a read address to the address bus after acquiring bus control, while sending a mode signal, indicating block transfer or word transfer, to the control line; and memory for accessing a memory element corresponding to the read address according to the mode signal and outputting the corresponding data to a data bus; wherein, when the mode signal indicates block transfer, the memory generates a plurality of read addresses according to the read address, with the read address as the start address of the block, and outputs a corresponding plurality of data from the memory element. As a result, because [only] one start address need be sent at the time of a block transfer request, the guarantee time necessary for address definition ends with one [iteration] and that makes possible high speed block data transfer. In addition, the memory side generates a plurality of read addresses with one start address; it therefore becomes possible to read a plurality of words and block transfer also becomes possible. Furthermore, because block transfer or word transfer is indicated with the mode signal, the memory side can accordingly execute block transfer processing or word transfer processing corresponding to one sent address. With just one sent address, therefore, either block transfer or word transfer can be selectively executed.

4. Brief explanation of the figures

Figure 1 is a block diagram of an embodiment of the present invention; Figure 2 is a timing chart for the embodiment in Figure 1; Figure 3 is a diagram of the constitution

for conventional data transfer control; and Figure 4 is a timing chart for conventional data transfer control.

In the figures:

- 2. Memory
- 3, 3a, 3b. Channel (data request unit)
- 20. Memory element
- 21. Bus control acquisition control portion
- 22. Memory control portion
- 32. Address counter
- D-BUS. Data bus
- A-BUS. Address bus

Applicant: Fujitsu, Ltd.

Agent: Yamatani, Hiroyoshi, Patent Attorney

Figure 1

- 20. Memory element
- 22a. Counter
- 25. Address counter
- 30. DMA controller
- 31. Data input/output control
- 32. Address counter

Figure 2 (A), (B)

- [fourth term] Address
- [bottom term] Data

Figure 3

- 2. Memory
- 20. Memory element
- 3a, 3b. Channel

Figure 4

- [third term] Address
- [sixth term] Data